Trabajo Práctico Número 1

Arquitectura de Computadoras 18/03/2026

Instrucciones

- Los problemas de ejercitación propuestos en el presente trabajo práctico pueden ser resueltos en forma individual o grupal.
- El planteo de la solución debe realizarse basándose en lo aprendido en las asignaturas correlativas.
- Puede utilizar las clases de consulta para consultar problemas de enunciado y verificar la validez de la solución obtenida.
- Posteriormente, se tomará una evaluación con problemas similares a los de este práctico, la cual deberá ser resuelta en forma individual. La fecha de evaluación se encuentra en el sitio web de la materia.

Conceptos Involucrados

- Cálculos estadísticos de porcentajes y promedios ponderados.
- Programación básica en el ISA RV32I de RISC-V.
- Unidad de control y camino de datos multiciclo.

Problemas propuestos

1) Se tiene una bolsa con 10 monedas, de las cuales 9 son monedas normales y una es una moneda especial que tiene dos caras.
   a) Si se saca una sola moneda de la bolsa, y se la tira cinco veces seguidas, ¿cuál es la posibilidad de obtener cinco caras?
   b) Si se saca una sola moneda de la bolsa, se la tira cinco veces seguidas y se obtienen cinco caras, ¿cuál es la posibilidad de que la moneda que se sacó sea la que tiene dos caras?

2) *[Recomendado]* Escriba un programa usando ISA RV32I de RISC-V que reciba en el registro a0 la dirección base de un vector de palabras (32 bits) y en a1 la cantidad de elementos. El programa debe contar cuántas veces aparece el valor almacenado en a2 dentro del vector y devolver el resultado en a0.

3) Implemente una subrutina transparente que siga el estándar ABI RISC-V para calcular el factorial de un número N. El valor de N se recibe en a1 y el resultado debe devolverse en el mismo registro. Asuma que el resultado no supera los 32 bits

4) *[Recomendado]* Escriba un programa usando ISA RV32I de RISC-V que recorra una cadena de caracteres almacenada en memoria a partir de la dirección base hasta encontrar el carácter nulo (0x00). El programa debe transformar todas las letras minúsculas en mayúsculas, dejando los demás caracteres (números, símbolos, mayúsculas originales) sin cambios.

5) *[Recomendado]* Se desea agregar al ISA del procesador multiciclo las siguientes instrucciones:

   - ladd rd,rs1,rs2: R[rd] $\leftarrow$ M[R[rs1]] + R[rs2]
   - sadd rs1,rs2,imm: M[R[rs2]] $\leftarrow$ R[rs1] + SignExt(imm)
   - bne rs1,rs2,imm: Si (R[rs1] != R[rs2]) PC $\leftarrow$ PC + SignExt(imm)

   Resuelva para cada caso:
   a) Escriba el RTN concreto y formato de instrucción.
   b) Modificaciones necesarias en el camino de datos.
   c) Modificaciones en la unidad de control, incluyendo MEF y microinstrucciones.

6) *[Profundización]* Analice por separado las consecuencias de que en un procesador multiciclo sucedan los siguientes errores. Indique en cada caso el tipo de instrucciones que serán afectadas:
   a) La señal EscrReg (Write Register) queda fijada permanentemente en 1.
   b) Fuente PC siempre queda fijada en 0.

c) El registro MDR es eliminado quedando la salida de memoria conectada directamente al MUX de dato a escribir en el banco de registros.

7) *[Recomendado]* Se desea agregar una instrucción nueva al ISA visto en clase para el procesador multiciclo. La instrucción se llamará **`mvm`** y permite leer un valor almacenado en una dirección de memoria y almacenarlo una dirección de memoria distinta.
   a) Escriba el RTN abstracto de la instrucción.
   b) Indique qué formato de instrucción elegirá usar para esta instrucción.
   c) ¿Es necesario realizar alguna modificación en el camino de datos?. Justifique detalladamente su respuesta.
   d) Escriba el RTN concreto de la instrucción en función de la respuesta al apartado anterior.
   e) Indique si debe realizar modificaciones a la Unidad de Control. Justifique su respuesta.
   f) Calcule el tiempo de ejecución de la instrucción, considerando que el retardo de las memorias es 200 ps, el retardo de la ALU y de los sumadores es 100 ps, mientras que el retardo del banco de registros es de 50 ps. Todos los demás componentes tienen un retardo despreciable.

Soluciones propuestas

1) a) 12.81 %
   b) 78 %

2) ...

3) ...

4) ...

5) ...

6) ...

7) a) M[PC]:PC←PC+4:M[R[rs2]]←M[R[rs1]+SignExt(imm)];
   b) Tipo S
   c) Conectar la salida de OB a una nueva entrada del MUX IoD. Conectar la salida de MDR a través de un nuevo MUX MemAMem a la entrada DatoAEscribir de la Memoria.
   d) T0: IR←M[PC]:PC←PC+4;
      T1: 0A←R[IR<19:15>]:OB←R[IR<24:20>];SA←PC+imm(IR);
      T2: SA←OA+imm(IR);
      T3: MDR←M[SA];
      T4: M[OB]←MDR;
   e) Modificar señales de control del Mux IoD, crear línea de control para nuevo Mux MemAMem y agregar una nueva rama a la MEF.
   f) 1000ps